

**Semiconductor integrated-circuit capacitor having a carbon film electrode**Patent Number: ☐ US5440157

Publication date: 1995-08-08

Inventor(s): OKANO HARUO (JP); AOYAMA TOMONORI (JP); IMAI KEITARO (JP); OKAYAMA YASUNORI (JP)

Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)

Requested Patent: ☐ JP6085173Application  
Number: US19930094422 19930716

Priority Number(s): JP19920191117 19920717; JP19930164726 19930702

IPC Classification: H01L29/43; H01L29/92

EC Classification: H01L21/8242B2, H01L29/49, H01L29/92, H01L21/02B3C

Equivalents: KR130546

---

**Abstract**

---

A semiconductor integrated-circuit capacitor comprises a lower electrode formed on a semiconductor substrate, a capacitor insulating film formed on the lower electrode, and an upper electrode formed on the capacitor insulating film. The capacitor insulating film is made of a high-permittivity material, and at least one of the upper and lower electrodes is made of a carbon film or a multilayered film composed of a carbon film and a conductor film other than carbon.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-85173

(43)公開日 平成6年(1994)3月25日

(51)IntCl.<sup>5</sup>

H 0 1 L 27/04  
21/28  
27/108

識別記号

3 0 1

庁内整理番号

C 8427-4M

A 9055-4M

9170-4M

9170-4M

F I

技術表示箇所

H 0 1 L 27/ 10

3 2 5 J

3 2 5 C

審査請求 未請求 請求項の数3(全 12 頁)

(21)出願番号 特願平5-164726

(22)出願日 平成5年(1993)7月2日

(31)優先権主張番号 特願平4-191117

(32)優先日 平4(1992)7月17日

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 今井 馨太郎

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 岡野 晴雄

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 岡山 康則

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦

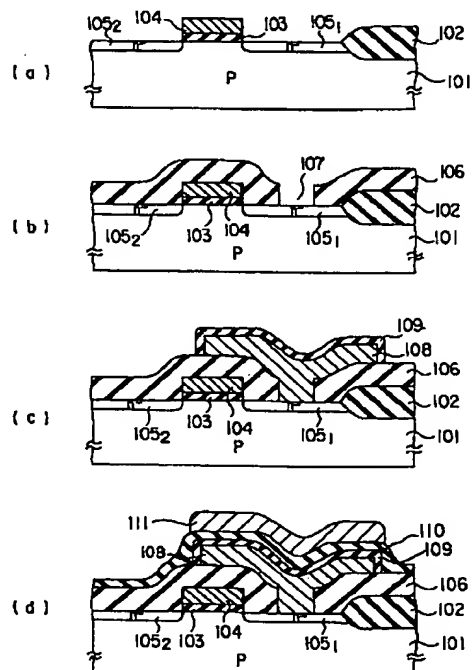
最終頁に続く

(54)【発明の名称】 半導体集積回路用キャパシタ

(57)【要約】

【目的】高誘電率の材料をキャパシタ絶縁膜として用いてキャパシタの容量を増大させ、同時にリーク電流の発生をも低減させた半導体集積回路用キャパシタを提供すること。

【構成】下部電極(ストレージノード)としてポリシリコン膜パターン108を、キャパシタ絶縁膜としてタンタル酸化膜110を、上部電極(プレート)として炭素膜111を具備することを特徴とする。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された下部電極と、該下部電極上に積層されたキャパシタ絶縁膜と、該絶縁膜上に積層された上部電極とを具備した半導体集積回路用キャパシタにおいて、前記キャパシタ絶縁膜が高誘電体材料からなり、前記上部電極および下部電極のうち少なくとも一方が、炭素膜、または炭素膜および炭素以外の導電体膜を含む多層積層膜からなることを特徴とする半導体集積回路用キャパシタ。

【請求項2】 半導体基板上にキャパシタ用の下部電極を形成する工程と、該電極上に高誘電体材料からなるキャパシタ絶縁膜を形成する工程と、該絶縁膜をエネルギー的に励起された酸素を含むガス雰囲気中でアニールする工程と、該アニールされた絶縁膜上に上部電極を形成する工程とを具備したことを特徴とする半導体集積回路用キャパシタの製造方法。

【請求項3】 半導体基板上にキャパシタ用の下部電極を形成する工程と、該電極上に高誘電体材料からなるキャパシタ絶縁膜を形成する工程と、該絶縁膜上に、300℃以上の成膜温度で、炭素膜からなる上部電極を形成する工程とを具備したことを特徴とする半導体集積回路用キャパシタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路用キャパシタと、その製造方法に関する。

## 【0002】

【従来の技術】 情報の記憶動作を行う半導体装置の一つとして、キャパシタとトランジスタとの組合せによってメモリーセルが構成されたDRAM（Dynamic Random Access read write Memory）が知られている。従来、このようなDRAMのメモリーセルを構成するキャパシタでは、キャパシタ電極としてポリシリコン、W、Mo、Al等が用いられている。また、2層の電極間に介在するキャパシタ絶縁膜（誘電体膜）としては、シリコン酸化膜等が用いられている。

【0003】 一方、近年の急速な素子の高集積化に伴って、上記半導体装置においては、キャパシタの高容量化が望まれている。従来のキャパシタ構造においてこの要求を満たそうとすると、絶縁膜として用いられるシリコン酸化膜等が低誘電率であることに起因して、その膜厚を著しく薄くせざるを得ない。しかしながら、キャパシタ絶縁膜をいわずらに薄くすると、リーク電流が増大するといった問題が生じる。

【0004】 そこで、キャパシタ絶縁膜をより薄くする代わりに、キャパシタ絶縁膜として、シリコン酸化膜よりも高誘電率を有する絶縁材料を用いることが検討されている。具体的には、例えば、タンタル酸化膜やPZT（ $\text{Pb}(\text{Ti}, \text{Zr})\text{O}_3$ ）のようなペロブスカイト型高誘電率材料等の金属化合物が検討されている。タンタ

ル酸化膜は、シリコン酸化膜の約7倍程度の誘電率を有している。

【0005】 しかしながら、これら金属化合物は高誘電率を示す反面、禁制帯幅が小さいため絶縁性能に劣る。従って、これら材料をキャパシタ絶縁膜に用いた場合にも、リーク電流が増大するといった問題が生じる。換言すれば、上記の高誘電率材料からなる絶縁膜は電荷の保持性能が著しく劣るため、キャパシタの電荷保持能力を低下させ、DRAMの信頼性を損なう原因となる。

## 【0006】

【発明が解決しようとする課題】 本発明は上記問題点を鑑みてなされたものであり、その第一の課題は、キャパシタ絶縁膜として高誘電率材料を用いることにより高容量化を達成し、且つリーク電流の発生を低減することができる半導体集積回路用キャパシタを提供することである。

【0007】 本発明の第二の課題は、高容量化を達成するためにキャパシタ絶縁膜を高誘電率材料で形成し、且つリーク電流の小さい半導体集積回路用キャパシタを得ることができる製造方法を提供することである。

## 【0008】

【課題を解決するための手段】 本発明の上記第一の課題は、半導体基板上に形成された下部電極と、該下部電極上に積層されたキャパシタ絶縁膜と、該絶縁膜上に積層された上部電極とを具備した半導体集積回路用キャパシタにおいて、前記キャパシタ絶縁膜が高誘電体材料からなり、前記上部電極および下部電極のうち少なくとも一方が、炭素膜、または炭素膜および炭素以外の導電体膜を含む多層積層膜からなることを特徴とする半導体集積回路用キャパシタによって達成される。

【0009】 本発明の上記第二の課題は、半導体基板上にキャパシタ用の下部電極を形成する工程と、該電極上に高誘電体材料からなるキャパシタ絶縁膜を形成する工程と、該絶縁膜をエネルギー的に励起された酸素を含むガス雰囲気中でアニールする工程と、該アニールされた絶縁膜上に上部電極を形成する工程とを具備したことを特徴とする半導体集積回路用キャパシタの製造方法によって達成される。

【0010】 また、本発明の上記第二の課題は、半導体基板上にキャパシタ用の下部電極を形成する工程と、該電極上に高誘電体材料からなるキャパシタ絶縁膜を形成する工程と、該絶縁膜上に、300℃以上の成膜温度で、炭素膜からなる上部電極を形成する工程とを具備したことを特徴とする半導体集積回路用キャパシタの製造方法によっても達成される。

【0011】 本発明のキャパシタにおいて、キャパシタ絶縁膜としては、種々の高誘電体膜を用いることができる。その具体例としては、シリコン窒化物、タンタル酸化物、 $\text{ZrO}_2$ 、 $\text{HfO}_2$ 、 $\text{Nb}_2\text{O}_5$ 、 $\text{PbTiO}_3$ 、 $\text{PZT}$ 、 $\text{SrTiO}_3$ 、または $\text{BaTiO}_3$ 等を主

成分とする膜が挙げられる。特に、比誘電率が20以上の誘電体膜は、キャパシタの高容量化を図る上で好ましい。尚、本発明は、スタックドキャパシタに特に好適に適用できるが、トレンチキャパシタのような他の構造を有するキャパシタにも適用することができる。

#### 【0012】

【作用】本発明の半導体集積回路用キャパシタでは、キャパシタ電極の一つに炭素膜を用いたことによって、高誘電率を有する金属酸化膜や金属化合物を適用した場合においても、リーク電流の発生を抑制することができる。従って、本発明によるキャパシタは、優れた電荷保持能力による極めて高い容量を有し、且つリーク電流も少ない。

【0013】以下、この作用について更に詳細に説明する。電荷を保持することを目的としたキャパシタには、電極間の絶縁性に優れていることと同時に、高容量であることが要求される。高容量化を図るためには、キャパシタにおける絶縁膜（誘電体膜）として、高誘電率の材料を用いることが望ましい。しかしながら、キャパシタ絶縁膜に誘電率の高い材料を用いた場合には、以下の理由によってその絶縁性が損なわれる。

【0014】一般に、誘電率の高い材料ほど、その禁制帯幅は小さくなる。図14に、種々の誘電体材料の誘電率と夫々の禁制帯幅との関係を示す。この図は、P.J.Harrop and D.S.Campbell, Thin Solid Films, 2, p.273(1968)からの引用である。キャパシタにおいては、絶縁膜材料の禁制帯幅が小さくなると、絶縁膜とキャパシタ電極（即ち導電体）との間のエネルギー障壁高さが低くなるため、電圧印加時に大きなリーク電流が流れ、絶縁性が損なわれる。

【0015】従って、本発明の目的に沿って高性能のキャパシタを得るためには、キャパシタ絶縁膜の誘電率を高くして高容量化を図るだけでなく、電極と絶縁膜との間のエネルギー障壁高さを大きくしてリーク電流を低減することにより、絶縁性能を向上させる必要がある。

【0016】タンタル酸化膜をキャパシタ絶縁膜に用いる場合について、この状況を具体的に説明すれば次の通りである。タンタル酸化物の誘電率（比誘電率）は約28であり、シリコン酸化物の比誘電率3.9よりも遥かに大きい。しかし、タンタル酸化物の禁制帯幅は約4.6 eVであり、シリコン酸化物の禁制帯幅8 eVよりも小さい。このため、タンタル酸化膜では、膜中のトラップサイトを介しての熱励起によるキャリアの伝導（P-F型伝導）が生じるため、絶縁性能の点でシリコン酸化膜よりも劣る。従って、タンタル酸化膜をキャパシタ絶縁膜に用いる場合には、リーク電流を抑制するために特別の手段を採用する必要がある。そのための基本的な手段として、本発明ではタンタル酸化膜と電極材料との間のエネルギー障壁を大きくすることとした。

【0017】図15は、キャパシタ絶縁膜としてタンタ

ル酸化膜を用い、この絶縁膜によって相互に絶縁される電極の一方に $n^+$ 型Si膜を、他方の電極にAl膜、W膜、または炭素膜からなる導電体薄膜を夫々用いた場合のエネルギーバンドの状態を示す図である。同図から明らかなように、導電体電極のフェルミ準位が深いほど、即ち、その仕事関数の値が大きいほど、エネルギー障壁高さ $\Phi$ は大きくなる。このエネルギー障壁高さ $\Phi$ は、キャパシタ絶縁膜（タンタル酸化物）の禁制帯幅 $E_g$ の上端のエネルギー準位を基準としたときの、導電体電極のフェルミ準位の深さである。障壁高さ $\Phi$ が大きいほど、リーク電流は小さくなる。エネルギー障壁 $\Phi$ によるリーク電流抑制効果は、絶縁膜の材料の禁制帯幅が小さい場合、即ち、キャパシタ絶縁膜の誘電率が高い場合ほど顕著に現れる。従って、タンタル酸化膜のようにシリコン酸化膜よりも誘電率が高く、禁制帯幅の小さいキャパシタ絶縁膜を用いる場合には、仕事関数の値が大きい電極材料を用いることによってリーク電流を小さくすることができる。

【0018】このような仕事関数値の大きい材料の例として、例えばPt（仕事関数5.4 eV）等の貴金属が挙げられる。しかし、これら貴金属は電極としての製膜性、加工性の点で問題が多い。これに対し、本発明においてキャパシタ電極に用いられる炭素膜は、製膜性および加工性に優れている。また、図15に示したように、その仕事関数は約5 eVであり、従来の電極材料として用いられるAl膜（仕事関数4.3 eV）およびW膜（同4.5 eV）に比べて大きい。その結果、炭素膜をキャパシタ電極として用いた場合、キャパシタ絶縁膜（タンタル酸化膜）に対するエネルギー障壁高さ $\Phi$ は2.5 eVである。この $\Phi$ の値は、従来のようにキャパシタ電極としてAl膜を用いた場合（ $\Phi = 1.8$  eV）およびW膜を用いた場合（ $\Phi = 2.1$  eV）よりも大きい。従って、炭素膜をキャパシタ電極に用いることによって、リーク電流を抑制することができる。このような状況は、キャパシタ絶縁膜として、タンタル酸化膜以外の高誘電率材料膜を用いた場合においても同様である。

【0019】以上のように、本発明のキャパシタにおいては、キャパシタ絶縁膜に高誘電率の材料を用いて高容量化を達成し、且つキャパシタ電極として炭素膜を用いることによってリーク電流を低減することができる。

【0020】また、炭素の抵抗率は、従来から電極材料に用いられている他の金属に比べてもさほど大きくはない。しかし、必要に応じて炭素膜上に炭素以外の導電体膜を積層した多層膜とし、その性能を調整することもできる。

【0021】加えて、キャパシタ電極として用いられる炭素膜は、キャパシタの立体構造に対応してステップカバレッジに優れたCVD法またはスパッタ法により形成することができ、更に、酸素等を反応ガスとした反応性

イオンエッチングにより容易に微細加工することができる。従って、本発明によるキャパシタの製造には、従来のLSI製造プロセスを容易に適用することができる。

【0022】次に、本発明による半導体集積回路用キャパシタの製造方法について説明する。従来のLSI製造プロセスをそのまま適用して、上記構造からなるキャパシタを製造しようとするれば、スパッタ法またはCVD法等によって上記高誘電体材料からなるキャパシタ絶縁膜を形成し、続いてその上に炭素膜を積層することになる。しかし、スパッタ法またはCVD法で形成された上記キャパシタ絶縁膜中には、微量の水素が不可避免的に混入する。即ち、スパッタ法の場合には、成膜室から排気されずに残った残留水分および残留水素が原因となり、キャパシタ絶縁膜中に水素が取り込まれる。また、CVD法の場合には、これら残留水分および残留水素に由来する水素以外にも、特に有機金属ソースを用いた場合には必然的にかなりの水素が取り込まれる。

【0023】このように水素が混入したキャパシタ絶縁膜上に炭素膜を形成すると、該絶縁膜中の水素と炭素との間で結合反応が生じ、界面に炭化水素を含む層が形成される。こうして形成された炭化水素の層は、炭素膜とキャパシタ絶縁膜との間の密着性を低下させるため、炭素膜が剥離するといった問題を生じる。

【0024】更に、キャパシタ絶縁膜と電極との界面に炭化水素を多く含む層が形成されると、キャパシタの電気的特性の劣化を生じる。即ち、上記界面に形成された炭化水素層は電気的には非常に不安定であるため、DCまたは低周波に対しては高抵抗の導体として機能するが、高周波に対しては追従できない。その結果、界面に存在する炭化水素層が直列容量を形成し、見掛け上のキャパシタ容量が小さくなってしまふ。

【0025】このように、キャパシタ絶縁膜中に水素が混入すると、集積回路の歩留まりは著しく低下し、また素子特性が劣化する。このような問題を解決するために、本発明の製造方法においては、高誘電率材料からなるキャパシタ絶縁膜を形成した後、その上に炭素膜を積層する前に、前記キャパシタ絶縁膜をエネルギー的に励起された酸素を含むガス雰囲気中でアニールする手段を用いることとした。

【0026】ここで、エネルギー的に励起された酸素とは、基底状態の酸素分子よりも高いエネルギー状態にある酸素を意味する。その例としては、酸素イオン（分子イオンおよび原子イオンの両者を含む）、並びに酸素ラジカル（分子ラジカルおよび原子状酸素の両者を含む）が挙げられる。このような励起酸素を含む雰囲気は、ダウンフロー方式による酸素ラジカルの供給、酸素ガス中での放電、またはオゾンガスに対する紫外線照射等によって得ることができる。

【0027】上記のようにしてキャパシタ絶縁膜中に混入した水素は、膜の構成元素と結合しているため単なる

アニールでは除去することが困難である。しかし、本発明で採用したアニールを用いれば、励起酸素の作用によって膜構成元素から引抜かれ、膜の外へ除去され得る。即ち、このような励起酸素は非常に活性であり、またある程度的高温においては上記キャパシタ絶縁膜中に浸透する。従って、所定の温度で上記のアニールを施すと、励起酸素はキャパシタ絶縁膜中に浸透し、該絶縁膜中に含まれる水素と反応して水分子を形成する。形成された水分子は外部へ拡散して除去される。その結果、上記のアニールを行なった後に炭素膜を形成すれば、該炭素膜の剥離やキャパシタ特性の劣化を防止することができる。

【0028】なお、上記のアニール工程は、キャパシタ電極に炭素を用いるときだけでなく、従来からキャパシタ電極に用いられているW等の金属を用いた場合にも同様の効果を奏することが明らかになった。従って、本発明の方法はこのような場合をも包含するものである。

【0029】本発明には、上記の半導体集積回路用キャパシタを製造する際に、キャパシタ電極に用いる炭素膜を良質化して、リーク電流を更に抑制する方法が含まれる。この方法では、キャパシタ電極として用いる炭素膜を、300℃以上の高温で成膜する。後述するように、発明者らは、このような高温で成膜することによって、形成された炭素膜の仕事関数値が大きくなることを確認した。その結果、キャパシタ電極とキャパシタ絶縁膜との間のエネルギー障壁高さΦ<sub>h</sub>は更に大きくなり、キャパシタのリーク電流をより効果的に抑制することができる。

【0030】以上説明したように、本発明は高誘電体膜を半導体集積回路用キャパシタの絶縁膜に用いてキャパシタの高容量化を達成し、同時に該キャパシタのリーク電流を抑制することを目的としている。この目的を達成するために、本発明では三つの手段、即ち、(a) 炭素膜をキャパシタ電極に用いることと、(b) 励起酸素雰囲気下で高誘電体膜をアニールすることと、(c) 炭素膜を300℃以上の高温で形成することとを開示している。これらの手段は夫々単独で採用してもよく、或いは組み合わせて採用してもよい。そこで夫々の場合の効果を比較するために、次ぎの6つのキャパシタを製造し、夫々のリーク電流特性を比較したところ、図13に示す結果が得られた。

- 【0031】(1) アニールなし、W電極（従来例）  
 (2) アニールなし、炭素電極（炭素膜の成膜温度：常温）  
 (3) アニールなし、炭素電極（炭素膜の成膜温度：高温）  
 (4) アニール有り、W電極  
 (5) アニール有り、炭素電極（炭素膜の成膜温度：常温）  
 (6) アニール有り、炭素電極（炭素膜の成膜温度：高

温)

図13の結果から明らかなように、上記三つの手段は夫々単独で採用した場合にも一定の効果を得ることができるが、これらを組み合わせることによって更に大きな効果を得ることができる。

【0032】

【実施例】以下、図面を参照して本発明の実施例を説明するが、これら実施例は本発明の理解を容易にする目的で記載されるものであり、如何なる意味においても本発明を限定するものではない。

【0033】なお、以下の説明においては、本発明の実施例になる半導体集積回路用キャパシタと、その製造プロセスとを一緒に説明する。

実施例1

図1(a)～(d)は、本発明の第一実施例になるキャパシタの製造プロセスを示している。尚、この第一実施例は、下部電極(蓄積電極またはストレージノード)として $n^+$ 型ポリシリコン膜を、キャパシタ絶縁膜としてタンタル酸化膜を、上部電極(プレート電極)として炭素膜を用いたスタックドキャパシタセルを有するDRA Mに関する。

【0034】まず、比抵抗が $10\Omega\cdot\text{cm}$ であり、(100)表面を有するp型シリコン基板101の表面をLOCOS法により選択的に酸化し、厚い熱酸化膜からなる素子分離膜102を形成する。次いで、素子分離膜102で囲まれた素子領域表面に薄い熱酸化膜を形成し、更にCVD法で第一の $n^+$ 型ポリシリコン膜を堆積した後、この積層膜を通常のフォトリソ法に従ってパターンニングすることにより、ゲート酸化膜103およびゲート電極104を形成する。その後、ゲート電極104をブロッキングマスクとして、基板101に対してイオン注入を行なうことにより、チャンネル領域を介して相互に離間された $n^-$ 型領域105<sub>1</sub>および105<sub>2</sub>を自己整合的に形成する(図1(a)図示)。 $n^-$ 型領域105<sub>1</sub>および105<sub>2</sub>は、夫々MOSトランジスタのドレイン領域およびソース領域となる。

【0035】次に、基板全面に、層間絶縁膜として厚いCVD酸化膜106を形成し、これを通常のフォトリソ法に従ってパターンニングすることにより、 $n^-$ 型領域105<sub>1</sub>に連通する開口部107を形成する(図1(b)図示)。

【0036】次に、第二の $n^+$ 型ポリシリコン膜を堆積した後、このポリシリコン膜を、通常のフォトリソ法に従ってパターンニングすることにより、開口部107を介して $n^-$ 型領域105<sub>1</sub>にコンタクトした $n^+$ 型ポリシリコン膜パターン108を形成する。この後、必要に応じて、ポリシリコン膜パターン108上に自然酸化膜が成長するのを防止するために、直接窒化により、パターン108上に極薄いシリコン窒化膜109を形成してもよい(図1(c)図示)。

【0037】次に、例えば反応性スパッタ法、CVD法、または他の適切な成膜方法により、タンタル酸化膜110を堆積する。続いて、タンタル酸化膜110上に炭素膜を形成した後、これを通常のフォトリソ法に従ってパターンニングすることにより、炭素膜パターン111を形成する(図1(d)図示)。尚、この炭素膜パターン111には、例えば、抵抗率を低下させる目的で、B等のIII族元素、P、As等のV族元素のような微量の不純物を添加してもよい。

10 【0038】上記のようにして、ポリシリコン膜パターン108からなる下部電極と、タンタル酸化膜110からなるキャパシタ絶縁膜と、炭素膜パターン111からなる上部電極とで構成されたメモリーセル用キャパシタが完成される。

【0039】尚、通常のLSIの製造プロセスでは、引き続き、パッシベーション膜の形成、配線の形成等の工程が行われる。

実施例2

20 図2(a)～(d)は、本発明の第二実施例になるキャパシタの製造工程を示している。この第二実施例は、下部電極(ストレージノード)として $n^+$ 型ポリシリコン膜を、キャパシタ絶縁膜としてタンタル酸化膜を、上部電極(プレート)として炭素膜/タングステン膜の2層膜を用いたスタックドキャパシタセルを有するDRAMに関する。

【0040】まず、実施例1と同様にして、(100)表面を有する比抵抗が $10\Omega\cdot\text{cm}$ のp型シリコン基板201上に、素子分離膜202、ゲート酸化膜203、ゲート電極204、 $n^-$ 型領域205<sub>1</sub>および205<sub>2</sub>を形成する(図2(a)図示)。

【0041】また、実施例1と同様にして厚いCVD酸化膜206と、 $n^-$ 型領域205<sub>1</sub>に連通する開口部207とを形成する(図2(b)図示)。更に、実施例1と同様に行なうことにより、開口部207を介して $n^-$ 型領域205<sub>1</sub>にコンタクトした $n^+$ 型ポリシリコン膜パターン208を形成する。必要に応じて、実施例1の場合と同様の目的で、パターン208上に直接窒化による極薄いシリコン窒化膜209を形成してもよい(図2(c)図示)。

40 【0042】次に、例えば反応性スパッタ法、CVD法、または他の適切な成膜方法により、キャパシタ絶縁膜としてタンタル酸化膜210を堆積する。続いて、炭素膜およびタングステン膜を順次堆積した後、この積層膜を通常のフォトリソ法または反応性イオンエッチングに従ってパターンニングすることにより、炭素膜パターン211およびタングステン膜パターン212の積層膜からなる上部電極を形成する(図2(d)図示)。

50 【0043】このようにして、ポリシリコン膜パターン208からなる下部電極と、タンタル酸化膜210からなるキャパシタ絶縁膜と、炭素膜211およびタングス

テン膜パターン212の積層膜からなる上部電極とで構成されたメモリーセル用キャパシタが完成される。

【0044】尚、通常のLSIの製造プロセスでは、引き続き、パッシベーション膜の形成、配線の形成等の工程が行われる。次に、本実施例のキャパシタについてリーク特性(I-V特性)を評価した。比較のために、絶縁膜にタンタル酸化膜を用い、上部電極にタングステン膜を単独で用いた従来例のキャパシタについても、同様にリーク特性(I-V特性)を評価した。その結果を図10に示す。同図から明らかなように、同一の電圧を印加した場合に、本実施例のキャパシタでは、従来例に比べてリーク電流が大幅に低減されている。この結果から、キャパシタ電極として炭素膜を用いることにより、絶縁膜として高誘電体膜を適用して高容量化した場合にも、リーク電流を抑制できることが判る。

#### 【0045】実施例3

図3(a)~(d)は、本発明の第三実施例になるキャパシタの製造工程を示している。この第三実施例は、下部電極(ストレージノード)として炭素膜を、キャパシタ絶縁膜としてSrTiO<sub>3</sub>膜を、上部電極(プレート)として炭素膜を用いたスタックドキャパシタセルを有するDRAMに関する。

【0046】まず、実施例1と同様にして、(100)表面を有する比抵抗10Ω・cmのp型シリコン基板301上、素子分離膜302、酸化膜303、ゲート電極304、n<sup>-</sup>型領域305<sub>1</sub>および305<sub>2</sub>を形成する(図3(a)図示)。

【0047】また、実施例1と同様にして厚いCVD酸化膜306と、n<sup>-</sup>型領域305<sub>1</sub>に連通する開口部307とを形成する(図3(b)図示)。次に、炭素膜を堆積した後、該炭素膜を通常のフォトリソ法に従ってパターニングすることにより、開口部307を介してn<sup>-</sup>型領域305<sub>1</sub>にコンタクトした炭素膜パターン308を形成する(図3(c)図示)。

【0048】次に、例えば反応性スパッタ法、CVD法または他の適切な製膜方法により、キャパシタ絶縁膜としてSrTiO<sub>3</sub>膜309を堆積する。続いて、SrTiO<sub>3</sub>膜309上に炭素膜を堆積した後、これを通常のフォトリソ法に従ってパターニングすることにより、炭素膜パターン310を形成する。(図3(d)図示)

このようにして、炭素膜パターン308からなる下部電極と、SrTiO<sub>3</sub>膜309からなるキャパシタ絶縁膜と、炭素膜パターン310からなる上部電極とで構成されたメモリーセル用キャパシタが完成される。

【0049】尚、通常のLSIの製造プロセスでは、引き続き、パッシベーション膜の形成、配線の形成等の工程が行われる。

#### 実施例4

図4(a)~(c)は、本発明の第四実施例になるキャ

パシタの製造工程を示している。この第四実施例は、下部電極(ストレージノード)としてn<sup>+</sup>型ポリシリコン膜を、キャパシタ絶縁膜としてタンタル酸化膜を、上部電極(プレート)としてスパッタ法により成膜した炭素膜を用いたスタックドキャパシタセルを有するDRAMに関する。また、この実施例は、タンタル酸化膜を成膜した後高温の活性酸素雰囲気下でアニールする工程を含む、キャパシタの製造方法に関する。

【0050】まず、比抵抗10Ω・cmであり、(100)表面を有するp型シリコン基板401の表面をLOCOS法により選択的に酸化し、厚い熱酸化膜からなる素子分離膜402を形成する。次いで、素子分離膜402で囲まれた素子領域表面に薄い熱酸化膜を形成し、更にCVD法で第一のn<sup>+</sup>型ポリシリコン膜を堆積した後、この積層膜を通常のフォトリソ法に従ってパターニングすることにより、ゲート酸化膜403およびゲート電極404を形成する。その後、ゲート電極404をブロッキングマスクとして、基板101に対してイオン注入を行なうことにより、チャンネル領域を介して相互に離間されたn<sup>-</sup>型領域405<sub>1</sub>および405<sub>2</sub>を自己整合的に形成する。n<sup>-</sup>型領域405<sub>1</sub>および405<sub>2</sub>は、夫々MOSトランジスタのソース領域およびドレイン領域となる。次に、基板全面に、層間絶縁膜として厚いCVD酸化膜406を形成し、これを通常のフォトリソ法に従ってパターニングすることにより、n<sup>-</sup>型領域405<sub>1</sub>に連通する開口部を形成する。次に、タングステンシリサイドを堆積した後、該シリサイド膜を通常のフォトリソ法に従ってパターニングすることにより、開口部を介してn<sup>-</sup>型領域405<sub>1</sub>にコンタクトしたビット線407を形成する。その後、第二のCVD酸化膜408を堆積する(図4(a)図示)。

【0051】次に、n<sup>-</sup>型領域405<sub>1</sub>に連通する開口部を形成した後、第二のn<sup>+</sup>型ポリシリコン膜を堆積し、このポリシリコン膜を通常のフォトリソ法に従ってパターニングする。これにより、開口部を介してn<sup>-</sup>型領域405<sub>1</sub>にコンタクトしたn<sup>+</sup>型ポリシリコン膜パターン409を形成する。この後、必要に応じて、ポリシリコン膜パターン409上に自然酸化膜が成長するのを防止するために、直接窒化により、パターン409上に極薄いシリコン窒化膜410を形成してもよい。次に、例えばTa(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>をソースとするCVD法により、タンタル酸化膜411を200Å程度の厚さにまで堆積する(図4(b)図示)。

【0052】次に、図7に示すようなRF電極12を備えたアニール室11内において、上記図4(b)の状態のウェハー10をアニールする。その際、酸素ライン13から酸素ガスを供給すると共に、50~300WのRF放電を行なうことにより、減圧(0.1~10 Torr)の酸素プラズマ雰囲気下でアニールを行なう。また、ウェハー

12はヒータ14上に載置され、400℃～700℃に加熱される。なお、この装置において、アニール室11の容器壁は接地されると共に、ウエハー10は浮遊電位に設定される。

【0053】次に、スパッタ法を用いてタンタル酸化膜411上に炭素膜を形成した後、これを通常のフォトリソ法に従ってパターンニングすることにより、プレート電極として用いる炭素膜パターン412を形成する(図4(c)図示)。必要に応じ、炭素膜パターンの上に更に金属膜を積層してもよい。

【0054】上記のようにして、ポリシリコン膜パターン408からなる下部電極と、タンタル酸化膜411からなるキャパシタ絶縁膜と、炭素膜パターン412からなる上部電極とで構成されたメモリーセル用キャパシタが完成する。

【0055】尚、通常のLSIの製造プロセスでは、引き続き、パッシベーション膜の形成、配線の形成等の工程が行われる。

#### 実施例5

図5(a)～(c)は、本発明の第五実施例になるキャパシタの製造工程を示している。この第五実施例は第四実施例の変形であり、キャパシタ容量を増大させるために、キャパシタ電極を円筒形状にしたものである。また、この実施例でも、タンタル酸化膜を成膜した後高温の活性酸素雰囲気下でアニールする工程が含まれる。

【0056】まず、(100)表面を有する比抵抗10Ω・cmのp型シリコン基板501を用い、実施例4と同様に行なうことにより、素子分離膜502、ゲート酸化膜503、ゲート電極504、n<sup>-</sup>型領域505、および505<sub>2</sub>、厚いCVD酸化膜506、ビット線507、第二のCVD酸化膜508を形成する(図5(a)図示)。

【0057】次に、実施例4と同様にして、n<sup>-</sup>型領域505<sub>2</sub>に連通する開口部を形成した後、該開口部を介してn<sup>-</sup>型領域505<sub>2</sub>にコンタクトしたn<sup>+</sup>型ポリシリコン膜パターン509を形成する。ただし、この実施例ではキャパシタ面積を増大する目的で、n<sup>+</sup>型ポリシリコン膜パターン509を図示のように円筒形に形成する。その後、実施例4と同様にして、必要に応じてポリシリコン膜パターン509上に直接窒化による極薄いシリコン窒化膜510を形成し、更にタンタル酸化膜511を200Å程度の厚さにまで堆積する(図5(b)図示)。

【0058】次に、図8に示すようなアニール室21内において、上記図5(b)の状態のウエハー20をアニールする。その際、外部に設けられたマイクロ波放電部24に酸素を供給し、100～700Wのマイクロ波放電によって発生した酸素ラジカルをライン22を通してアニール室20内に供給することにより、0.1～10 Torrの酸素ラジカル雰囲気下でアニールを行なう。また、ウエ

ハー20はヒータ23上に載置され、400℃～700℃に加熱される。

【0059】次に、タンタル酸化膜511上にCVD法により炭素膜512を形成する。このCVD法による炭素膜511は、例えば300～400℃の温度下でメタンガスをウエハー上に導入し、RF波放電により反応させることにより、約200Åの厚さで堆積させる。CVDソースはメタンガスに限らず、エチレン、スチレン、ブタジエン、ベンゼン、トルエン、キシレン等の炭化水素ガスをを用いてもよい。こうして形成された炭素膜512を通常のフォトリソ法に従ってパターンニングすることにより、プレート電極として用いる炭素膜パターン512を形成する(図5(c)図示)。

【0060】上記のようにして、ポリシリコン膜パターン509からなる下部電極と、タンタル酸化膜511からなるキャパシタ絶縁膜と、炭素膜パターン512からなる上部電極とで構成されたメモリーセル用キャパシタが完成する。

【0061】尚、通常のLSIの製造プロセスでは、引き続き、パッシベーション膜の形成、配線の形成等の工程が行われる。

#### 実施例6

図6(a)～(c)は、本発明の第六実施例になるキャパシタの製造工程を示している。この第六実施例は下部電極(ストレージノード)として白金膜を、キャパシタ絶縁膜としてSrTiO<sub>3</sub>膜を、上部電極(プレート)としてCVD法により成膜した炭素膜を用いたスタックドキャパシタセルを有するDRAMに関する。また、この実施例でも、タンタル酸化膜を成膜した後高温の活性酸素雰囲気下でアニールする工程が含まれる。

【0062】まず、(100)表面を有する比抵抗10Ω・cmのp型シリコン基板601を用い、実施例4と同様に行なうことにより、素子分離膜602、ゲート酸化膜603、ゲート電極604、n<sup>-</sup>型領域605、および605<sub>2</sub>、厚いCVD酸化膜606、ビット線607、第二のCVD酸化膜608を形成する(図6(a)図示)。

【0063】次に、n<sup>-</sup>型領域605<sub>2</sub>に連通する開口部を形成した後、第二のn<sup>+</sup>型ポリシリコン膜609を堆積し、これをエッチバックする。これにより、該開口部をn<sup>-</sup>型領域605<sub>2</sub>にコンタクトした第二のn<sup>+</sup>型ポリシリコン膜609で埋める。その後、全面にTiN膜を堆積し、これを通常のフォトリソ法でパターンニングすることにより、第二のn<sup>+</sup>型ポリシリコン膜609にコンタクトしたTiN膜パターン610を形成する。更に、例えばメッキ法により、TiN膜パターン610上のみ選択的にPt膜611を形成する。次に、CVD法、スパッタ法または他の適切な成膜方法により、SiTiO<sub>3</sub>膜612を全面に形成する(図6(b)図示)。



【0064】次に、図9に示すようなUVランプ32を具備したアニール室31内において、上記図6(b)の状態のウエハー30をアニールする。その際、ライン33からオゾンガスを供給すると共に、UVランプ32で紫外線照射しながら0.1 Torr乃至常圧でアニールを行なう。ウエハー12はヒータ34上に載置され、300℃程度の温度に加熱される。

【0065】次に、実施例5と同様にしてCVD法により炭素膜を形成し、これを通常のフォトリソ法に従ってパターニングすることにより、プレート電極として用いる炭素膜パターン613を形成する(図6(c)図示)。

【0066】上記のようにして、Pt膜611からなる下部電極と、SrTiO<sub>3</sub>膜612からなるキャパシタ絶縁膜と、炭素膜パターン613からなる上部電極とで構成されたメモリーセル用キャパシタが完成する。

【0067】尚、通常のLSIの製造プロセスでは、引き続き、パッシベーション膜の形成、配線の形成等の工程が行われる。

#### 実施例7

この実施例は、キャパシタ電極として用いる炭素膜を、300℃以上の高温で成膜することによって、該炭素膜の仕事関数値を大きくし、キャパシタのリーク電流を更に減少させる方法に関する。

【0068】この実施例では、実施例4における上部電極412を、次のようにして行なった点を除き、実施例4と全く同様にして図4(c)のキャパシタを製造した。即ち、この実施例では、ウエハーを室温、150℃、300℃または450℃の温度に保持した状態で、スパッタ法により炭素膜412を形成し、該炭素膜をパターニングすることにより上部電極412を形成した。

【0069】こうして得られた4種類のキャパシタの夫々について、I-V特性を調べたところ、図11に示す結果が得られた。この結果から明らかなように、炭素膜412の形成温度が300℃以上の場合にリーク電流が大幅に低減されている。

【0070】その原因を考察するために、シリコン酸化膜キャパシタ(MOSキャパシタ)の上部電極を上記と同様の条件で成膜した炭素膜で形成し、得られたMOSキャパシタのC-V特性を測定した。そのC-V曲線のシフト(フラットバンド電圧のシフト)から、夫々の温度で形成された炭素膜の仕事関数値を求めた。その結果を図12に示す。この図から、形成温度が300℃以上になると、炭素膜の仕事関数の値が大幅に大きくなるのが分かる。従って、上部電極に用いる炭素膜を300℃以上の高温で成膜すると、その仕事関数値が顕著に大きくなり、キャパシタ絶縁膜との間のエネルギー障壁が高くなるため、リーク電流が大幅に減少するものと思われる。

【0071】

【発明の効果】以上詳述したように、本発明によれば、キャパシタ電極として炭素膜を用いることによって、リーク電流が少なく且つ蓄積容量が大きなキャパシタを提供することができる。ひいては、DRAM等の信頼性が向上され、高性能の半導体集積回路が提供される。

【図面の簡単な説明】

【図1】(a)～(d)：本発明の第一実施例になるキャパシタの製造プロセスをその工程順に示す断面図。

10 【図2】(a)～(d)：本発明の第二実施例になるキャパシタの製造プロセスをその工程順に示す断面図。

【図3】(a)～(d)：本発明の第三実施例になるキャパシタの製造プロセスをその工程順に示す断面図。

【図4】(a)～(c)：本発明の第四実施例になるキャパシタの製造プロセスをその工程順に示す断面図。

【図5】(a)～(c)：本発明の第五実施例になるキャパシタの製造プロセスをその工程順に示す断面図。

【図6】(a)～(c)：本発明の第六実施例になるキャパシタの製造プロセスをその工程順に示す断面図。

20 【図7】第四実施例で用いたアニール装置を示す説明図。

【図8】第五実施例で用いたアニール装置を示す説明図。

【図9】第六実施例で用いたアニール装置を示す説明図。

【図10】本発明の第二実施例になるキャパシタと、従来例のキャパシタのリーク特性を示す線図。

30 【図11】第四実施例になるキャパシタのリーク電流特性と、その上部電極(炭素膜)の成膜温度との関係を示す線図。

【図12】炭素膜の成膜温度と、得られた炭素膜の仕事関数値との関係を示す線図。

【図13】本発明に含まれる複数の態様について、夫々の場合のリーク電流抑制効果を比較して示す図。

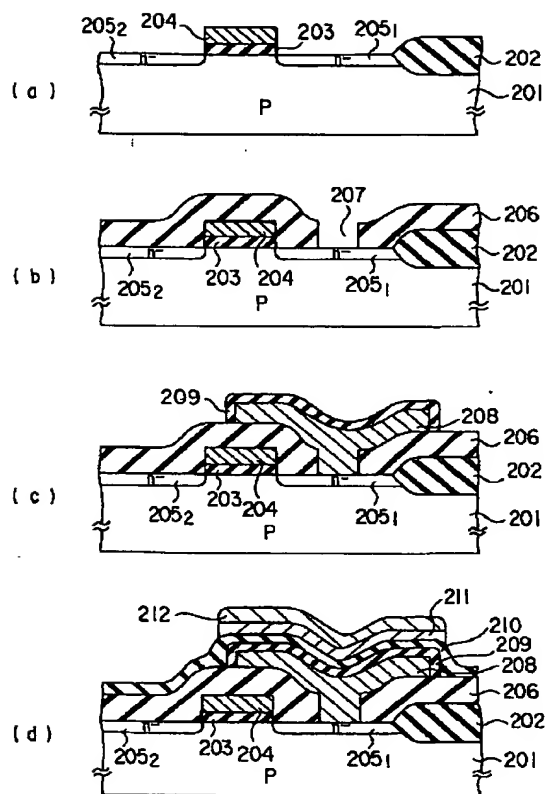
【図14】種々の誘電体材料の誘電率と夫々の禁制帯幅との関係を示す図。

【図15】タンタル酸化膜および金属のエネルギーバンドを示す図。

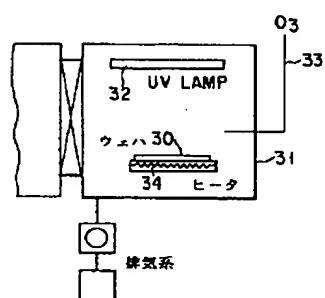
【符号の説明】

40 101, 201, 301…シリコン基板、102, 103, 202, 203, 302, 303…熱酸化膜パターン、104, 108, 204, 208, 304…n<sup>+</sup>型ポリシリコン膜パターン、105<sub>1</sub>, 105<sub>2</sub>, 205<sub>1</sub>, 205<sub>2</sub>, 305<sub>1</sub>, 305<sub>2</sub>…n<sup>-</sup>型領域、106, 206, 306…CVD酸化膜、107, 207, 307…開口部、109, 209…シリコン窒化膜、110, 210…タンタル酸化膜、111, 211, 308, 310…炭素膜パターン、212…タングステン膜パターン、309…SrTiO<sub>3</sub>膜

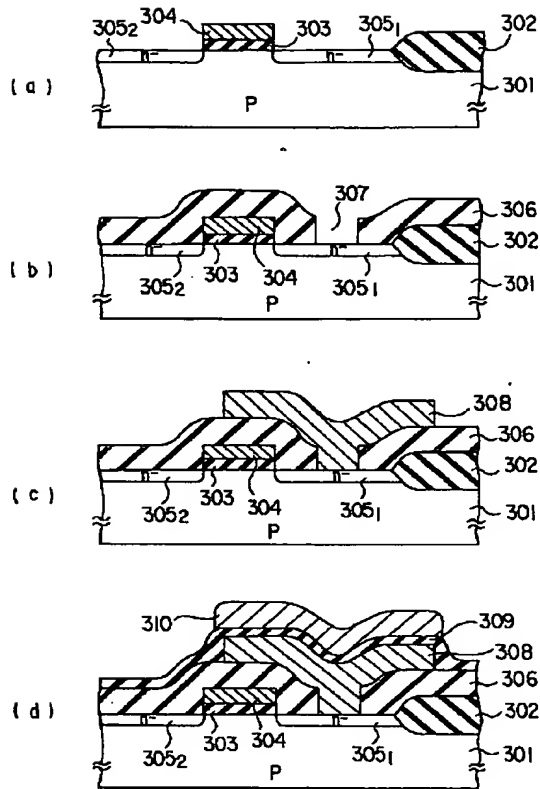
【図2】



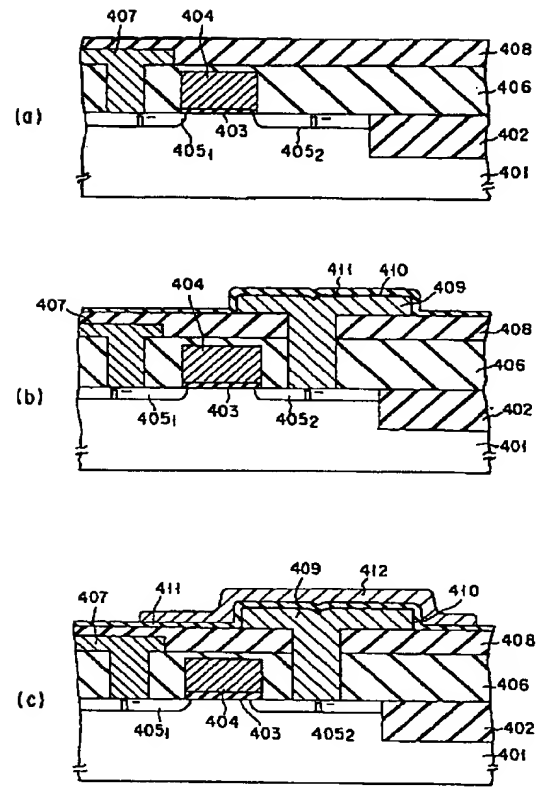
【圖9】



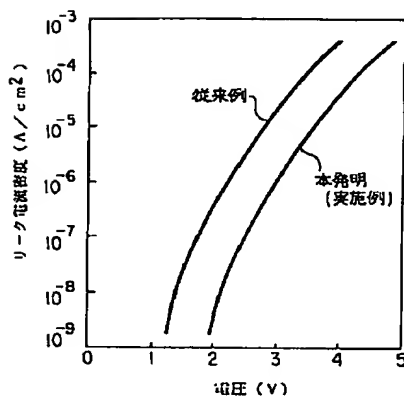
【図3】



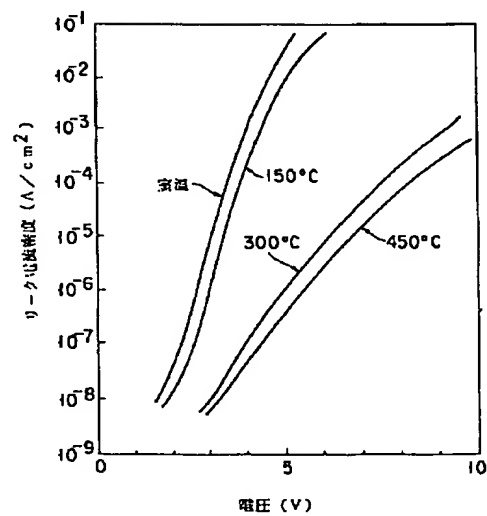
【図4】



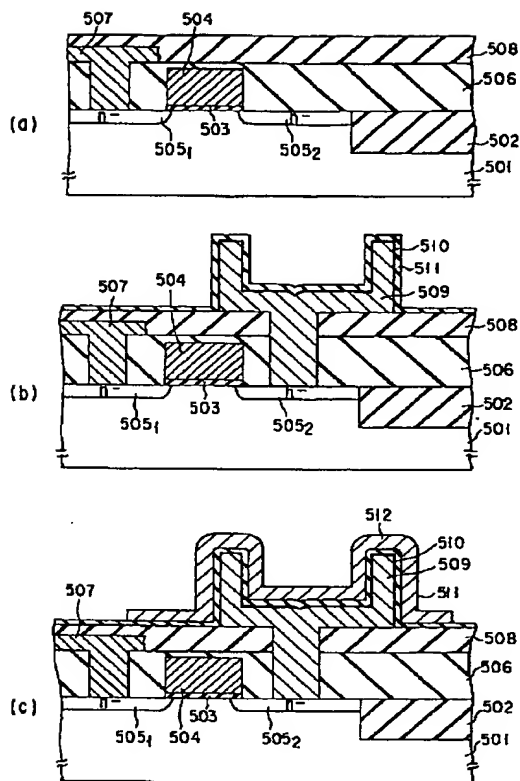
【図10】



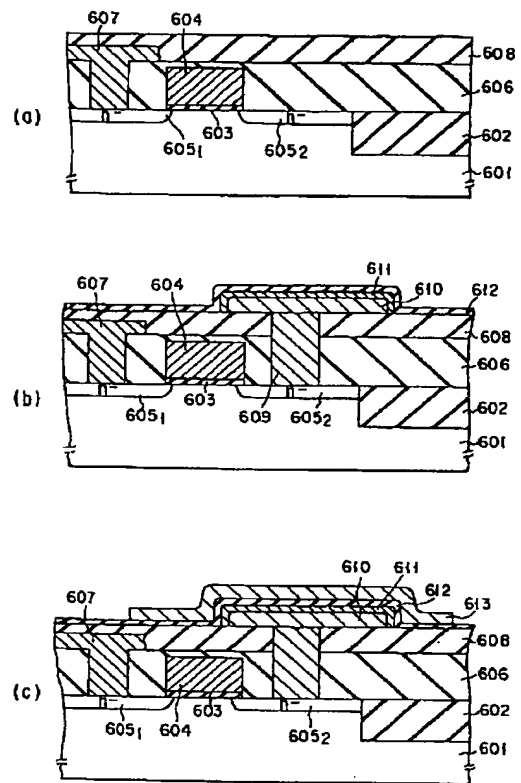
【図11】



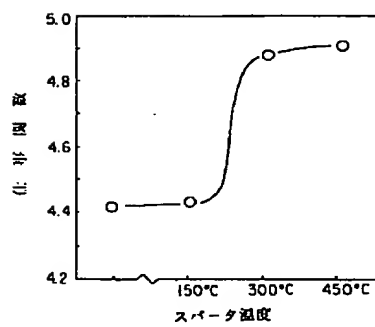
【図5】



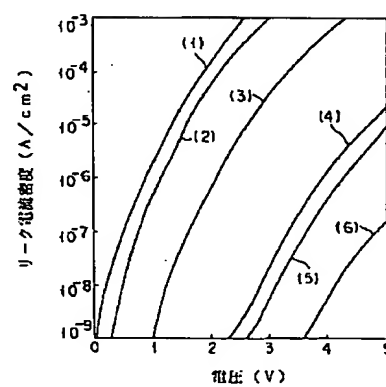
【図6】



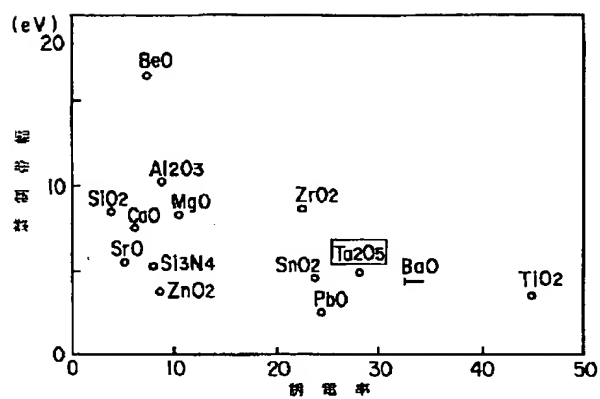
【図12】



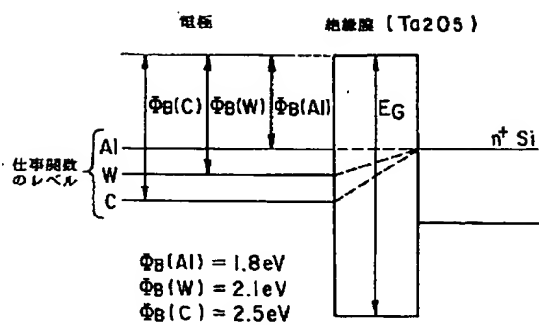
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 青山 知憲

神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年3月16日(2001.3.16)

【公開番号】特開平6-85173

【公開日】平成6年3月25日(1994.3.25)

【年通号数】公開特許公報6-852

【出願番号】特願平5-164726

【国際特許分類第7版】

H01L 27/04  
21/28 301  
27/108

【F I】

H01L 27/10 325 J  
21/28 301 A  
27/10 325 C

【手続補正書】

【提出日】平成11年10月14日(1999.10.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体基板上に形成された下部電極と、該下部電極上に積層されたキャパシタ絶縁膜と、該絶縁膜上に積層された上部電極とを具備した半導体集積回路用キャパシタにおいて、前記キャパシタ絶縁膜が高誘電体材料からなり、前記上部電極および下部電極のうち少なくとも一方が、炭素膜、または炭素膜および炭素以外の導電性膜を含む多層積層膜からなることを特徴とする半導体集積回路用キャパシタ。

【請求項2】 前記高誘電体材料が、少なくとも20の比誘電率を有することを特徴とする半導体集積回路用キャパシタ。

【請求項3】 前記高誘電体材料が、シリコン窒化物、五酸化タンタル、二酸化ジルコニウム、に酸化破風を生む、五酸化ニオブ、チタン酸鉛、ジルコン酸チタン酸鉛、チタン酸ストロンチウム、およびPZTからなる群から選択されることを特徴とする請求項1に記載の半導体集積回路用キャパシタ。

【請求項4】 前記炭素膜は、ホウ素、リンおよび砒素からなる群から選択される少なくとも一種を含有することを特徴とする請求項1～3の何れか1項に記載の半導体集積回路用キャパシタ。

【請求項5】 前記キャパシタ上部電極は、炭素およびタングステンからなる二層膜であることを特徴とする請

求項1～3の何れか1項に記載の半導体集積回路用キャパシタ。

【請求項6】 半導体基板上にキャパシタ用の下部電極を形成する工程と、該電極上に高誘電体材料からなるキャパシタ絶縁膜を形成する工程と、該絶縁膜をエネルギー的に励起された酸素を含むガス雰囲気中でアニールする工程と、該アニールされた絶縁膜上に上部電極を形成する工程とを具備したことを特徴とする半導体集積回路用キャパシタの製造方法。

【請求項7】 前記キャパシタ上部電極を形成する工程に炭素膜の形成が含まれることを特徴とする請求項6に記載の製造方法。

【請求項8】 前記炭素膜の形成は300℃以上の温度で行われることを特徴とする請求項6または7に記載の製造方法。

【請求項9】 前記炭素膜の形成がスパッタリングによって行われることを特徴とする請求項6～8の何れか1項に記載の製造方法。

【請求項10】 前記キャパシタ上部電極が金属膜からなることを特徴とする請求項6に記載の製造方法。

【請求項11】 前記励起された酸素が、50～300WのRF放電により生成された酸素プラズマから調製されることを特徴とする請求項6～10の何れか1項に記載の製造方法。

【請求項12】 半導体基板上にキャパシタ用の下部電極を形成する工程と、該電極上に高誘電体材料からなるキャパシタ絶縁膜を形成する工程と、該絶縁膜上に、300℃以上の成膜温度で、炭素膜からなる上部電極を形成する工程とを具備したことを特徴とする半導体集積回路用キャパシタの製造方法。